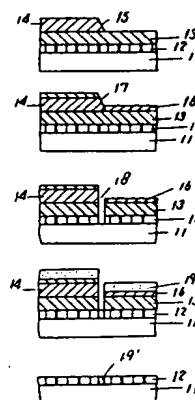


(54) FORMATION OF THIN FILM PATTERN

- (11) 59-232422 (A) (43) 27.12.1984 (19) JP
 (21) Appl. No. 58-107033 (22) 15.6.1983
 (71) MATSUSHITA DENKI SANGYO K.K. (72) KATSUNORI NISHII
 (51) Int. Cl. H01L21/302, H01L21/28

PURPOSE: To form a miniature pattern with high accuracy by providing a photo resist film in two stages, forming a tapered pattern on the upper photo resist layer and forming a lift-off spacer pattern through selective etching of such tapered area.

CONSTITUTION: An Si_3N_4 film 12 is formed on a substrate 11 and thereafter a first photo resist layer 13 is formed. After forming a second photo resist layer 14, the layer 14 is tapered as the pattern. After a metal 16 is formed, the metal 17 on the tapered area 15 is etched. The lift-off pattern 18 is formed by etching the tapered area 15, layer 13 and film 12. Thereafter, an electrode 19 is formed and the layers 13, 14 are removed. Simultaneously, unnecessary metals 16, 19 are also removed and thereby the desired metal pattern 19' can be obtained.

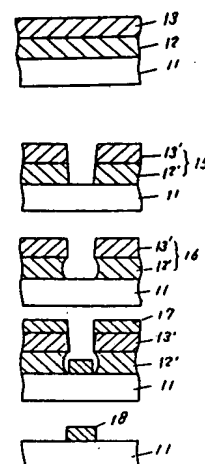


(54) PATTERN FORMATION

- (11) 59-232423 (A) (43) 27.12.1984 (19) JP
 (21) Appl. No. 58-107034 (22) 15.6.1983
 (71) MATSUSHITA DENKI SANGYO K.K. (72) KATSUNORI NISHII
 (51) Int. Cl. H01L21/306, H01L21/28

PURPOSE: To obtain excellent lift-off pattern by forming a pattern on a substrate through two layers of photoresists having large and small thermal changes and then by obtaining an over-hang type photo resist pattern through the heating process.

CONSTITUTION: A photo resist 12 shown a large thermal change is formed on a substrate 11 and then a second photo resist 13 showing a small thermal change thereon. Next, the desired resist pattern 15 is formed by forming the second layer of resist pattern 13' through exposure using the mask and the first layer of resist pattern 12'. Thereafter, the over-hang resist pattern 16 is obtained through difference of thermal changes of patterns 12' and 13' by the post-baking. After vacuum depositing a metal 17, the resist is removed and simultaneously unnecessary metal on the photo resist is also removed. Thus, the desired metal pattern 18 having excellent edge can be obtained.

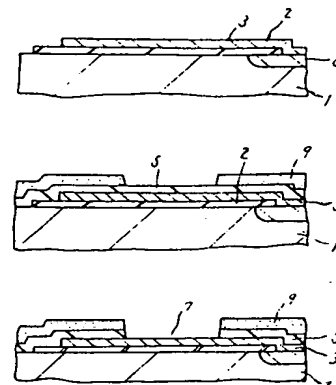


(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

- (11) 59-232424 (A) (43) 27.12.1984 (19) JP
 (21) Appl. No. 58-105843 (22) 15.6.1983
 (71) HITACHI SEISAKUSHO K.K. (72) TOKIO KATOU
 (51) Int. Cl. H01L21/312, H01L21/60, H01L23/30

PURPOSE: To easily and economically obtain a semiconductor element protection film having the double-structure of inorganic insulating film and high temperature resistant organic insulating film by utilizing a photo sensitive polyimide resin as the photo resist.

CONSTITUTION: A photo conductive element is formed on the surface of a substrate 1, aluminum Al is vacuum-deposited by partially removing a semiconductor oxide film 2 and electrode wirings 3 are formed by etching the patterning. A plasma silicon nitride 5 is formed on the entire part and a photosensitive polyimide resin film 9 is formed thereon. With the film 9 used as a mask, the film 5 is etched and thereby a through hole 7 is completed. The aluminum layer for the upper Al wiring which is in contact with the Al wiring is formed for the Al wiring for the area forming the through hole 7 by vacuum deposition of Al in the case of double wiring structure.



⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭59—232424

⑯ Int. Cl.³
H 01 L 21/312
21/60
23/30

識別記号

庁内整理番号
7739—5F
6732—5F
7738—5F

⑰ 公開 昭和59年(1984)12月27日

発明の数 2
審査請求 未請求

(全 5 頁)

⑱ 半導体装置とその製造法

⑲ 特 願 昭58—105843

⑳ 出 願 昭58(1983)6月15日

㉑ 発 明 者 加藤登季男

高崎市西横手町111番地株式会社

社日立製作所高崎工場内

㉒ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁
目6番地

㉓ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 半導体装置とその製造法

特許請求の範囲

1. 半導体基体の一主表面に半導体素子とこの素子に接続する配線とを有し、上記配線上に保護膜として無機絶縁膜と、感光性ポリイミド樹脂膜から形成されたポリイミド樹脂膜の2層構造絶縁膜が形成されていることを特徴とする半導体装置。
2. 上記感光性ポリイミド樹脂膜から形成されたポリイミド膜の上を厚いポリイミド樹脂膜で覆ったある特許請求の範囲第1項に記載の半導体装置。
3. 半導体基板の一主表面に半導体素子とこの素子に接続する配線を形成し、上記素子及び配線を保護するように多層の絶縁膜で覆った上を樹脂成形体により封止する半導体装置の製造にあたって、上記多層の絶縁膜のうち下層の絶縁膜に無機絶縁膜を使用し、この無機絶縁膜上に上層の絶縁膜として感光性のポリイミド系樹脂膜をパターン形成し、上記パターン形成されたポリイミド系樹脂膜をマスクとして下層の無機絶縁膜をパターン加工

することを特徴とする半導体装置の製造法。

発明の詳細な説明

〔技術分野〕

本発明は樹脂封止形半導体装置に関し、特に半導体基体への保護膜形成技術に関する。

〔背景技術〕

樹脂封止形半導体集積回路装置において、図1図に示すようにシリコン(Si)半導体基体1の主表面に半導体酸化膜2をマスクとして選択的不純物拡散等によって半導体素子を形成し、この素子に接続する単層又は複数層のアルミニウム(Al)配線3を形成した後、外部からの水分の浸入による素子の耐圧劣化を防ぐために気相化学析出—リン・シリケート・ガラス(OVD—PSG)等の無機絶縁膜4を形成し、この無機絶縁膜の機械的特性を向上させるためにさらにこの上にポリイミド系樹脂等の有機絶縁膜5を保護的に形成している。そして上記Al配線3の表面をボンディングパッドとして取り出すために上記OVD—PSG膜とポリイミド系樹脂膜に対してスルーホール

(透孔)をあける。そのために、ホトレジストと称する感光性耐食樹脂によるマスク6をさらに設ける。このホトレジストマスク6を用いて第2図に示すようにまずポリイミド系樹脂5をパターンエッチし、次いで又は同時にこの透孔のあけられたポリイミド系樹脂をマスクにしてその下のUVDP-SG膜をパターンエッチして第3図に示すようにスルーホール7をあけるようにしている。このような選択エッチを行った後上記ホトレジストは溶解除去するのが普通である。

この工程では、ポリイミド系樹脂、UVDP-SG等がサイドエッチされ、微細パターン加工が困難である。

ところでホトレジスト自体が有機樹脂からなることから有機絶縁膜の代りにホトレジストを用いて無機絶縁膜加工後にホトレジストを除去することなくそのまま残すことが考えられる。

しかし、ホトレジスト膜をそのまま残し、無機絶縁膜と有機絶縁膜の2層構造を形成することは容易にできるが、ホトレジストに使われる樹脂は

耐熱性が悪くその後の組立工程に要する350°~450°Oの温度に耐えられず、分解が進み実用が困難である。したがって前述したように有機絶縁膜の上に有機樹脂であるホトレジストを重ねるという複雑なプロセスをとらざるを得なかった。

〔発明の目的〕

本発明の目的は電極配線を有する半導体装置において、外部からの水分の浸入を阻止できる無機絶縁膜と、機械的ストレスを吸収できる有機絶縁膜で二重構造の保護膜を形成するにあたって、プロセスを簡略化し微細パターン加工が可能で、しかも安価な半導体装置とその製造法を提供することにある。

〔実施例〕

第4図~第7図は本発明による一実施例であって半導体基体上に無機絶縁膜と有機絶縁膜の二重の保護膜を形成するプロセスを工程断面図で示すものである。以下各工程に従って説明する。

(1) 第4図において示すシリコン(Si)等の半導体基体1の表面に公知の選択拡散法に従って半導

体素子(同図ではその一部8が示される)を形成し、その際基体表面に形成された半導体酸化膜2を部分的に取り除き、半導体素子の一部を露出するコンタクトホトエッチを行い、この上にアルミニウム(Al)を蒸着し、パターンニングエッチして電極配線3を形成する。

(2) プラズマCVD法により全面にプラズマ・シリコン窒化物(P-SiN)を形成し、その上に感光性ポリイミド樹脂膜を形成する。この感光性ポリイミド樹脂はポリイミド前駆体プレポリマーにアクリル基やメタクリレート基などの感光基を結合させることにより、これまで感光性ポリイミド前駆体の感光寿命が短く現像処理が面倒である等の欠点をなくしたものである。

この感光性ポリイミド膜によるパターン形成は、ポリイミド前駆体ワニスと感光性化合物(例えばビスアジド化合物)からなる感光性ポリイミドワニスをスピンナー塗布し、80℃15分のプリベーク後、紫外線により感光し、その後、N-メチル-2-ピロリドン(NMP)と水の混合液によ

り現像することで達成できる。

その後、200℃30分、400℃30分の熱処理を窒素雰囲気中で行なうことにより、ビスアジド化合物を分解揮散させ、同時にイミド結合を進行させることにより最終的に第5図に示すポリイミド膜9を形成する。

(3) つづいて上記ポリイミド膜9をマスクとしてOF₄系ガス(例えばOF₄+4gU₂)によるプラズマエッチを行ない、プラズマ窒化膜をエッチングすることにより第6図に示すようなスルーホール7を完成する。

ここで用いたプラズマ窒化膜は水分を全く浸透せず、内部配線A₂腐食保護作用として著しい効果を有し、また上層ポリイミド膜は外部からの機械的ストレス(例えばレジンモールドした場合のレジンからのストレスなど)を吸収しプラズマ窒化膜が外部からの機械的ストレスで破壊(クラック)することを有効に防止できる。

上記のようにしてスルーホールをあけた部分のA₂配線に対して、二層配線の場合A₂を重ねて

蒸着してA₂配線にコンタクトする上層のA₂配線のためのA₂層を形成するか、又は第7図に示すようにA₂配線3の露出する部分に金(Au)ワイヤ10をボンディングした後、エポキシ樹脂11をモールドして第8図に示すように樹脂封止を完成する。同図において12はリード、13は半導体基板(ペレット)が取り付けられるタブである。

〔発明の効果〕

本発明によれば、感光性ポリイミド樹脂を使うことにより無機絶縁膜と高耐熱性有機絶縁膜の二重構造をもつ半導体素子保護膜を容易にかつ安価に形成することができる。感光性樹脂に在来のホトレジスト膜と異なってポリイミド系樹脂を用いるために、通常の半導体組立工程における熱処理(最高450℃程度)には十分に耐えうるため、組立工程プロセスを変更することなく組立が可能である。

本発明によれば、樹脂封止形の半導体装置において最もその効果が發揮できる。モールドにより

樹脂に発生する硬化応力又は温度ストレスにより発生する半導体ペレットとモールドした樹脂体間の熱対応力はポリイミド膜が吸収し、樹脂封止体の外部から樹脂を浸透して侵入する水分は無機絶縁膜(P-SiN)膜により阻止され、下層のA₂配線が腐食することを防止する。このように有機絶縁膜と無機絶縁膜の両方の特性が有効に作用し、半導体装置の信頼性を大幅に向上させる。

本発明者が行なったエポキシ樹脂を用いた実験例では、-55℃～150℃の温度サイクル試験において、保護膜として無機絶縁膜だけを用いた場合200サイクルから不良が発生し始め、1000サイクルでほぼ全数故障となるが、本発明による保護膜を有する半導体装置では2000サイクルまで全く不良は発生しない。

〔その他の実施例〕

第9図は本発明による他の実施例であってA₂線(ワイヤ)ボンディング後ポリイミド樹脂14を溶剤に溶いた状態でポッティング(滴下)して、感光性ポリイミド膜表面及びボンディング部分を

覆う厚い(15～100μm)のポリイミド膜を形成した場合の形態を示すものである。

これまでは無機絶縁膜上に直接にポリイミド膜をポッティングしているが、大寸法のペレットになると、ペレット全面に均一に拡がらなかったり、拡がり過ぎてペレット外部へワニスが流れたりする不良が多発するが、この実施例で述べた本発明の構成では同じポリイミド樹脂からなる保護膜上にポリイミド樹脂をポッティングすることから、樹脂間の「ぬれ性」がよくペレット表面に均一に塗布されるとともに両者間の結合性が高いために外部よりの水の浸入する隙間がなく保護性が向上する。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々に変更可能であることはいうまでもない。

たとえばA₂配線上に形成する無機絶縁膜としてシリコン酸化物、例えばUVD-SiO₂、UV

D-PSGを使用することができる。この上に形成する感光性ポリイミド樹脂を使ったポリイミド樹脂被膜はSiO₂のエッチ液であるフッ酸系エッチ液やSiN用のドライエッチに充分に耐えることもできる。

ポリイミド樹脂はポッティング以外にスクリーン印刷技術を用いて充分に厚く(30μm以上)形成することもできる。このような厚いポリイミド樹脂膜はパッケージ中の不純物により生ずるα線の放射が素子内に入ることを防止し、α線によるメモリ破壊等を防止するのに有効である。

〔利用分野〕

本発明は樹脂封止されたI/O、ダイナミックRAM等に適用して有効である。

図面の簡単な説明

第1図～第3図はこれまでの半導体装置の保護膜形成プロセスの例を示す工程断面図である。

第4図～第7図は本発明の一実施例であって半導体装置の保護膜形成プロセスを示す工程断面図である。

第8図は本発明の一実施例であって樹脂封止完了後の半導体装置の断面図である。

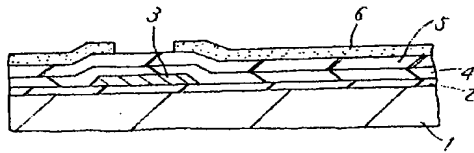
第9図は本発明の他の一実施例であって、樹脂封止前の半導体装置の一形態を示す断面図である。

1…半導体(Si)基体、2…半導体酸化物(SiO_2)膜、3…アルミニウム(Al)配線(電極)、4…無機絶縁膜、5…有機絶縁膜、6…ホトレジスト、7…スルーホール、8…素子領域、9…感光性ポリイミド樹脂膜、10…ワイヤ、11…エポキシ樹脂封止体、12…リード、13…タブ、14…ポッティングしたポリイミド樹脂。

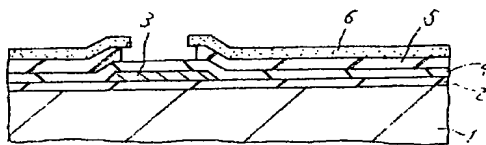
代理人 弁理士 高橋明夫



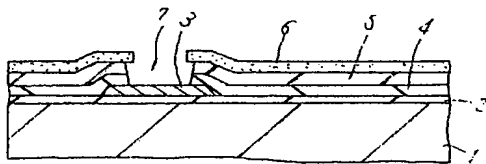
第1図



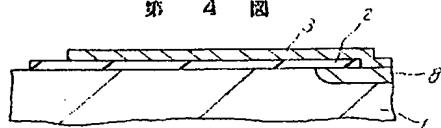
第2図



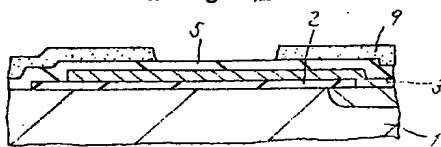
第3図



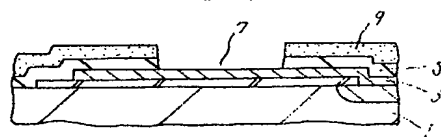
第4図



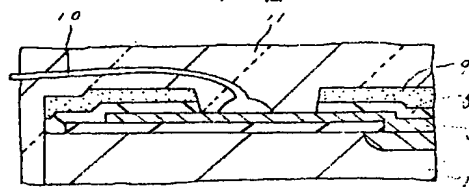
第5図



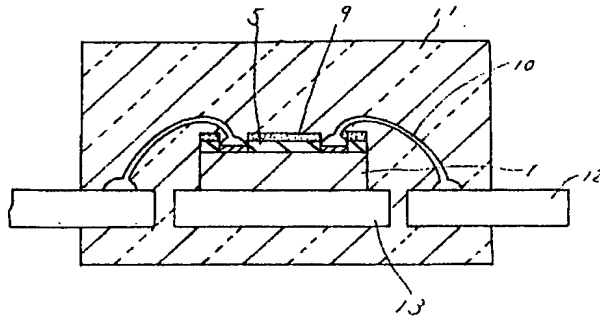
第6図



第7図



第 8 図



第 9 図

